



ДОНСКОЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
УПРАВЛЕНИЕ ДИСТАНЦИОННОГО ОБУЧЕНИЯ И ПОВЫШЕНИЯ
КВАЛИФИКАЦИИ

Кафедра «Вычислительные системы и информационная
безопасность»

Учебное пособие
«Элементы и узлы
вычислительной техники»
по дисциплине

«Аппаратные средства
вычислительной техники»

Автор
Айдинян А.Р.

Ростов-на-Дону, 2017



Аннотация

«Учебное пособие» предназначено для студентов очной формы обучения направления 10.03.01 Информационная безопасность.

Автор

доцент, к.т.н.,
доцент кафедры
«Вычислительные системы и
информационная
безопасность»
Айдинян А.Р.



Оглавление

Базовые элементы вычислительной техники.....	4
Классификация функциональных узлов.....	4
Комбинационные функциональные узлы	4
Последовательностные функциональные узлы	8
Запоминающие устройства	12
Классификация запоминающих устройств	12
Характеристики запоминающих устройств.....	14
Кэш-память.....	16
Общие принципы построения современных	
вычислительных систем	19
Структура минимальной вычислительной системы	19
Концепция шины	23
Системная шина микропроцессорных систем.....	25
Список литературы	27

БАЗОВЫЕ ЭЛЕМЕНТЫ ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКИ

Классификация функциональных узлов

Функциональные узлы ЭВМ классифицируются на:

1. комбинационные — это узлы, выходные сигналы которых определяются только сигналом на входе, действующим в настоящий момент времени. Выходной сигнал дешифратора зависит только от двоичного кода, поданного на вход в настоящий момент времени. Комбинационные узлы называют также автоматами без памяти;

2. последовательностные (автоматы с памятью) — это узлы, выходной сигнал которых зависит не только от комбинации входных сигналов, действующих в настоящий момент времени, но и от предыдущего состояния узла.

Также функциональные узлы можно классифицировать на:

- синхронные;
- асинхронные.

Асинхронные узлы осуществляют изменение выходного сигнала при смене информации на информационных входах. Неодновременное поступление сигналов на разные входы может привести к непредсказуемым состояниям. У синхронных узлов смены информации на информационных входах недостаточно для срабатывания. Необходим дополнительный импульс, подаваемый на вход синхронизации. Вход синхронизации может активироваться по фронту или по спаду синхроимпульса (или по фронту и спаду) в зависимости от аппаратной реализации и обозначается на схемах специальным значком. Синхронные узлы обладают более высокой помехозащищенностью.

Комбинационные функциональные узлы

Комбинационные узлы делятся на:

- полусумматоры;
- полные двоичные сумматоры;
- дешифраторы;
- шифраторы;
- мультиплексоры;
- демультиплексоры.

Полусумматор производит сложение двух одноразрядных двоичных чисел (рис. 1). Он имеет два входа: слагаемые (A и B) и два выхода: сумма (S) и перенос (P). Суммирование производится

элементом «Исключающее ИЛИ», а перенос — элементом «И».

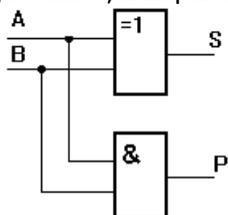


Рис. 1. Схема полусумматора

Полный двоичный сумматор (рис. 2) производит сложение трех одноразрядных двоичных чисел i -го разряда. Последовательно подключенные полные двоичные сумматоры используются для сложения многоразрядных двоичных чисел. Устройство имеет три входа и два выхода. Входы: i -й разряд слагаемых (A_i и B_i) и перенос (P_{i-1}), который может использоваться для учета переноса из предыдущего разряда. Выходы: сумма с учетом переноса из предыдущего разряда (S_i) и перенос из текущего разряда (P_i). Полный двоичный сумматор можно реализовать на двух полусумматорах и одном элементе «ИЛИ». Один полусумматор используется для сложения i -го разряда двоичных чисел, а второй полусумматор складывает результат первого полусумматора с переносом переноса из предыдущего $i-1$ -го разряда.

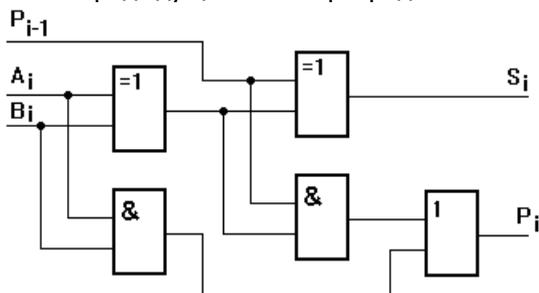


Рис. 2. Схема полного двойного сумматора

Дешифратор — устройство, в котором при каждой комбинации входных сигналов, единичный сигнал формируется только на одном определенном выходе. Присвоив номер соответствующему выходу дешифратора, можно классифицировать его как преобразователь двоичного кода в десятичный. Очевидно, для преобразования всех возможных комбинаций n -разрядных входных двоичных чисел потребуется 2^n выходов дешифратора.

На информационные входы дешифратора поступают разряды двоичного кода с весами 8, 4, 2, 1, т.е. с десятичными экви-

валентами 23, 22, 21, 20. Если на вход поступает двоичный код 1001, то только на выходе 9 будет 1, а на всех остальных будет 0. В настоящее время дешифраторы используются как преобразователи двоичного кода в десятичный, используются при организации запоминающих устройств. На рис. 3 приведено условное обозначение дешифратора на 16 выходов К155ИДЗ на принципиальных схемах. Для преобразования входного сигнала необходимо на входы V (V1 и V2) микросхемы подать сигналы логических нулей. Пусть на входе дешифратора присутствует двоичное число 1111. В этом случае только на выходе 15 микросхемы будет логический нуль, а на остальных выходах будут сигналы логических единиц. Если хотя бы на одном из входов V логическая единица, то единицы будут на всех 16 выходах.

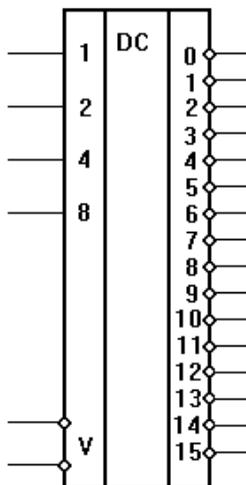


Рис. 3. Схема дешифратора

Шифратор используется для преобразования десятичного кода в двоичный. Условное обозначение шифратора, преобразующего десятичные цифры в 4-разрядное двоичное число, приведено на рис. 4. При появлении сигнала логической единицы на одном из десяти входов на четырех выходах шифратора будет присутствовать соответствующее двоичное число. Пусть сигнал логической единицы подан на вход 6. Тогда на выходах 2 и 4 будут сигналы логической единицы, а на выходах 1 и 8 — сигналы логического нуля. Таким образом, на выходах 8, 4, 2, 1 шифратора мы получим двоичное число 0110.

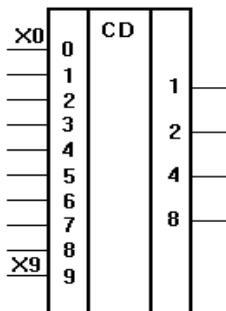


Рис. 4. Шифратор

Можно конструировать кодовые преобразователи, имеющие n -входов. При подаче на i -й вход шифратора активного сигнала — на выходе установится двоичный код числа i . Серийно выпускаются и приоритетные шифраторы, которые при одновременном воздействии на входы нескольких сигналов, в первую очередь обслуживают те, чей приоритет выше (приоритеты устанавливаются заранее).

Мультиплексор — это устройство, обеспечивающее соединение одного из информационных входов с выходом. Номер информационного входа, который соединяется с выходом, задается в двоичном коде на адресных входах. Если мультиплексор имеет n адресных входов, то в нем может быть 2^n информационных входов. Мультиплексоры могут снабжаться дополнительным входом — входом разрешения передачи информации с входов на выход.

Условное обозначение мультиплексора, имеющего четыре входа, приведено на рис. 5.

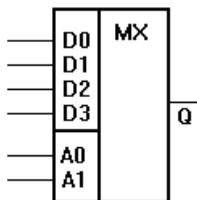


Рис. 5. Схема мультиплексора

Демультимплексор — это устройство, обеспечивающее соединение одного из информационных выходов с одним входом. Номер информационного выхода, который соединяется с входом, задается в двоичном коде на адресных входах. Если демультимплексор имеет n адресных входов, то в нем может быть 2^n ин-

формационных выходов.

Условное обозначение на принципиальных схемах демультиплексора, имеющего четыре выхода, приведено на рис. 6.

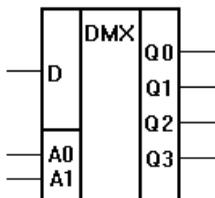


Рис. 6. Схема демультиплексора

Последовательностные функциональные узлы

Последовательностные (автоматы с памятью) — это узлы, выходной сигнал которых зависит не только от комбинации входных сигналов, действующих в настоящий момент времени, но и от предыдущего состояния узла. Последовательностные узлы делятся на:

- триггеры (RS-триггеры; JK-триггеры; D-триггеры);
- счетчики;
- регистры.

Триггер — простейший последовательностный элемент с двумя состояниями, содержащий элементарную запоминающую ячейку и схему управления, которая изменяет состояние элементарной ячейки. Состояние триггера зависит как от комбинации на входах, так и от предшествующего состояния. Триггерные устройства являются базовыми для построения других узлов последовательного типа. Триггеры могут иметь входы различного типа:

- R (от англ. RESET) — отдельный вход установки в состояние 0;
 - S (от англ. SET) — отдельный вход установки в состояние 1;
 - K — вход установки универсального триггера в состояние 0;
 - J — вход установки универсального триггера в состояние 1;
 - V — вход разрешения;
 - C — синхронизирующий вход;
 - D — информационный вход;
 - T — счетный вход
- и некоторые другие.

RS-триггер имеет только два установочных входа: S (Set — установка) — установка выхода Q в единицу и R (Reset — сброс) — сброс выхода Q в ноль.

Для этого триггера является недопустимой одновременная подача команд установки и сброса ($R=S=1$), поэтому состояние выхода в этом случае остается неопределенным и, вообще говоря, не описывается. Условное обозначение на принципиальных схемах показано на рис. 7. Входные сигналы триггером считываются только в момент нарастания синхросигнала (по фронту синхроимпульса).

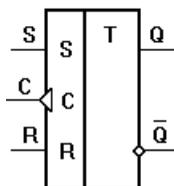


Рис. 7. RS-триггер

Таблица истинности JK-триггера аналогична таблице истинности RS-триггера за исключением, когда $J=K=1$. В данном триггере при $J=K=1$ состояние выхода триггера меняется на противоположное.

На рис. 8 приведено условное обозначение синхронного JK-триггера на принципиальных схемах.

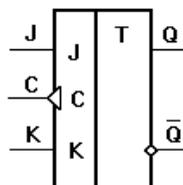


Рис. 8. JK-триггер

D-триггер — запоминающий элемент с одним информационным входом, который осуществляет задержку сигнала. Иногда называют триггером-задержкой или триггером-защелкой. На рис. 9 приведено условное обозначение этого триггера на принципиальных схемах.

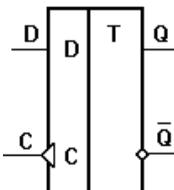


Рис. 9. D-триггер

Состояние триггера изменяться будет только при поступлении фронта импульса на вход синхронизации С. При поступлении

фронта импульса на вход синхронизации и $D=1$ на выходе Q появится сигнал логической единицы, а на инверсном выходе — логического нуля. При поступлении фронта импульса на вход синхронизации и $D=0$ сигнал логического нуля появится на выходе Q , на инверсном выходе D -триггера установится логическая единица. Таким образом, синхронный D -триггер воспринимает информацию с входа D и передает ее на выход Q при фронте импульса на входе C , и затем хранит ее сколько угодно долго (пока подключен источник питания). Т. е. D -триггер может использоваться для хранения одного бита информации.

Счетчик — цифровое устройство, обеспечивающее подсчет числа электрических импульсов. Коэффициент пересчета счетчика равен минимальному числу импульсов, поступивших на вход счетчика, после которых состояния на выходе счетчика начинают повторяться. Счетчик называют суммирующим, если после каждого очередного импульса цифровой код на выходе счетчика увеличивается на единицу. В вычитающем счетчике после каждого импульса на входе счетчика цифровой код на выходе уменьшается на единицу. Счетчики, в которых возможно переключение с режима суммирования на режим вычитания, называются реверсивными. Функциональная схема счетчика K155IE5 приведена на рис. 10, а, а его условное обозначение на принципиальных схемах на рис. 10, б. Счетчик K155IE5 имеет фактически два счетчика: с коэффициентом пересчета два (счет 0, 1, 0, 1 и т.д. — вход $C0$ и выход $Q0$) и с коэффициентом пересчета восемь (счет 0, 1, 2, ... 7, 0, 1 и т.д. — вход $C1$ и выходы $Q1, Q2, Q3$).

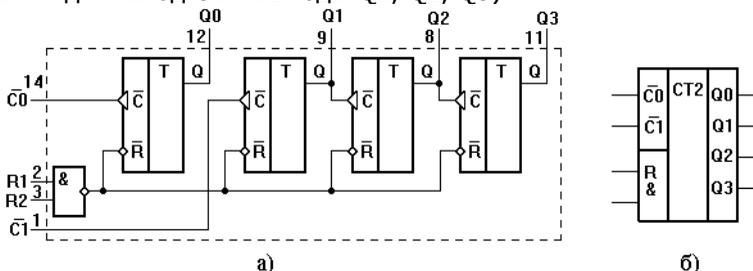


Рис. 10. Счетчик

Регистр — устройство, выполняющее функции приема, хранения и преобразования информации (рис. 11).

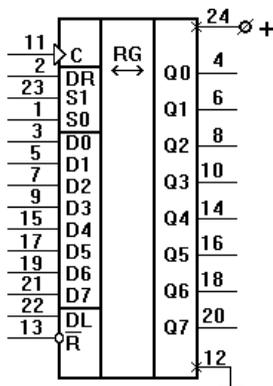


Рис. 11. Регистр

D0-D7— информационные входы, Q0-Q7 — выходы, C — синхронизирующий вход, DR, DL — последовательные входы, S1, S0 — входы, определяющие режим работы регистра.

По функциональному назначению регистры делятся на:

- реверсивные;
- сдвигающие;
- суммирующие;
- вычитающие.

Универсальный сдвиговый регистр применяется для преобразования информации из последовательной формы представления в параллельную и, наоборот, из параллельной в последовательную. Это необходимо, например, в модемах.

Для преобразования информации из параллельной формы представления в последовательную предварительно в регистр записывают информацию с информационных входов D0-D7, затем осуществляют сдвиг информации в нужную сторону, а сигнал снимают с выхода Q0 или Q7 в зависимости от направления сдвига.

ЗАПОМИНАЮЩИЕ УСТРОЙСТВА

Классификация запоминающих устройств

Запоминающие устройства можно классифицировать по целому ряду параметров и признаков. На рис. 12 представлена классификация по типу обращения и организации доступа к ячейкам ЗУ.

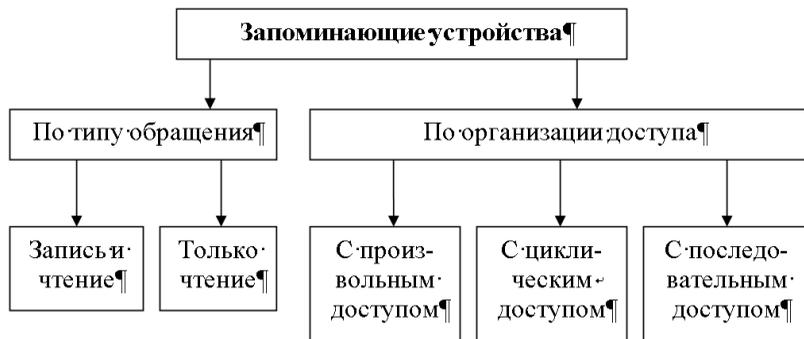


Рис. 12. Классификация запоминающих устройств

Полупроводниковые запоминающие устройства (ЗУ) выполняются в виде интегральных схем, в каждой из которых может храниться информация большого объема. По выполняемым функциям различают следующие типы полупроводниковых ЗУ:

- оперативные запоминающие устройства (ОЗУ);
- постоянные запоминающие устройства (ПЗУ);
- перепрограммируемые постоянные запоминающие устройства (ППЗУ).

ОЗУ предназначено для использования в условиях, когда необходимо обновлять хранимую информацию.

В ОЗУ предусматриваются три режима работы:

- режим хранения;
- режим чтения информации;
- режим записи новой информации.

В цифровых вычислительных устройствах ОЗУ используются для хранения промежуточных и конечных результатов обработки данных. При этом в режимах чтения и записи ОЗУ должно функционировать с высоким быстродействием (доли микросекунды). При отключении источника питания информация в ОЗУ теряется. В условном графическом обозначении функция ОЗУ задается комбинацией символов «RAM» (Random Access Memory, память с произвольным доступом).

В качестве элементной базы для построения ОЗУ могут

быть использованы БИС ОЗУ:

- статического типа;
- динамического типа.

В БИС статических ОЗУ (SRAM — Static RAM) каждая запоминающая ячейка построена на основе триггера, состояние которого определяется значением (ноль или единица) хранимого бита данных.

В БИС динамических ОЗУ (DRAM — Dynamic RAM) ячейка памяти выполнена на основе конденсатора, а значение бита данных определяется наличием или отсутствием на нем заряда.

БИС динамического ОЗУ может быть реализована на меньшем размере кристалла при одинаковом объеме по сравнению с БИС статического ОЗУ. Отношение количества ячеек БИС динамического ОЗУ к количеству ячеек БИС статического ОЗУ при равных объемах кристалла равно 16:1 и более. Однако динамические ОЗУ требуют в процессе работы периодического восстановления заряда (регенерации) на запоминающих конденсаторах, что требует добавления узла регенерации, что может свести на нет преимущества БИС динамического ОЗУ. Поэтому динамические ОЗУ реализуются в БИС большой емкости.

ПЗУ (ROM — Read Only Memory, память только с функцией чтения) предназначено для хранения некоторой однажды записанной в него информации, не нарушаемой при отключении источника питания.

В ПЗУ предусматриваются два режима работы:

- режим хранения;
- режим чтения.

Режим записи не предусматривается. Используется ПЗУ для хранения программ или констант, которые не меняются со временем.

ППЗУ (EPROM — Erase Programmable ROM) в процессе функционирования цифрового устройства используется как ПЗУ. Однако информацию в ППЗУ можно обновить с использованием специально предназначенных для записи устройств — программаторов. Кроме этого запись в ППЗУ занимает значительное время и обычно требует отключения от устройства, в котором функционирует. ППЗУ дороже ПЗУ и их применяют в процессе отладки программного обеспечения цифрового вычислительного устройства.

В ЗУ с циклическим доступом благодаря непрерывному вращению носителя информации (например, магнитный диск) возможность обращения к некоторому участку носителя циклически повторяется, благодаря совмещению требуемого сектора с

головками чтения/записи. Время доступа во многом определяется скоростью вращения носителя.

В ЗУ с последовательным доступом производится последовательный просмотр участков носителя информации (например, магнитной ленты), пока нужный участок не совместится с головкой чтения/записи.

Характеристики запоминающих устройств

Основные характеристики запоминающих устройств — емкость и быстродействие.

Емкость запоминающего устройства — это максимальное количество данных, которое в ней может храниться.

Емкость запоминающего устройства измеряется количеством адресуемых элементов (ячеек) ЗУ и длиной ячейки в битах. В настоящее время практически все запоминающие устройства в качестве минимально адресуемого элемента используют 1 байт (1 байт = 8 бит). Емкость памяти обычно определяется в байтах, килобайтах (1Кбайт=210 байт), мегабайтах (1Мбайт = 220 байт), гигабайтах (1Гбайт = 230 байт), терабайтах (1Тбайт = 240 байт) и т. д.

За одно обращение к запоминающему устройству производится считывание или запись некоторой единицы данных, называемой словом. Размер слова определяется организацией памяти и различается для устройств разного типа. Например, память объемом 1 мегабайт может быть организована как 1М слов по 1 байту, или 512К слов по 2 байта каждое, или 256К слов по 4 байта и т. д.

Быстродействие запоминающего устройства определяется продолжительностью операции обращения, то есть временем, затрачиваемым на обращение к нужному слову, и на ее считывание/запись:

$$t_{\text{обр}} = \max(t_{\text{обр сч}}, t_{\text{обр зп}}),$$

где $t_{\text{обр сч}}$ — быстродействие ЗУ при считывании информации;
 $t_{\text{обр зп}}$ — быстродействие ЗУ при записи.

Идеальное запоминающее устройство должно обладать бесконечно большой емкостью и иметь бесконечно малое быстродействие. На практике эти параметры находятся в противоречии друг другу: в рамках одного типа ЗУ улучшение одного из них ведет к ухудшению значения другого. К тому же следует иметь в виду и экономическую целесообразность построения запоминающего устройства с теми или иными характеристиками при данном уровне развития технологии. Иерархическая структура памяти

Аппаратные средства вычислительной техники

позволяет экономически эффективно сочетать хранение больших объемов информации с быстрым доступом к информации в процессе ее обработки.

Поэтому в настоящее время запоминающие устройства компьютера строятся по иерархическому принципу и включает в себя:

- регистровую память;
- внутреннюю кэш-память;
- внешнюю кэш-память;
- оперативную память;
- внешнюю память.

На нижнем уровне иерархии находится регистровая память — набор регистров, входящих непосредственно в состав микропроцессора. Регистры CPU программно доступны и хранят информацию, наиболее часто используемую при выполнении программы (например, счетчик цикла). Регистровая память имеет относительно небольшой объем (до нескольких десятков машинных слов); время доступа к ней минимально, поскольку РП работает на частоте процессора (время доступа равно 0,5 нс при частоте процессора 2 ГГц).

Оперативная память (ОП) — устройство, которое служит для хранения информации (программ, исходных данных, промежуточных и конечных результатов обработки), непосредственно используемой в ходе непосредственного выполнения программы в процессоре. В настоящее время объем ОП персональных компьютеров составляет от нескольких сотен мегабайт до нескольких гигабайт. ОП работает на частоте системной шины (которая ниже частоты работы процессора) и требует нескольких циклов синхронизации шины для обращения к ней. Так, при частоте работы системной шины 1600 МГц (при этом период равен 0,625 нс) время обращения к оперативной памяти составит несколько наносекунд.

Кэш-память является промежуточной между регистровой памятью и ОП. Она организована как более быстродействующая (и, следовательно, более дорогая) и предназначена для хранения информации, наиболее часто используемой при работе программы.

К другим характеристикам ОЗУ и ПЗУ относятся:

1. разрядность — размер слова микросхемы;
2. количество слов — количество слов информации, которое может храниться в микросхеме;
3. энергонезависимость — сохраняется ли информация в ЗУ

после выключения электропитания;

2. напряжение логической единицы;
3. напряжение логического нуля;
4. напряжение питания;
5. энергопотребление — электрическая мощность, потребляемая ЗУ от источников питания в каждом из режимов работы;
6. стоимость хранения информации в расчете на один бит и др.

ППЗУ имеют следующие показатели:

1. величина тока записи;
2. время хранения информации в выключенном состоянии;
3. способ стирания;
4. число циклов перепрограммирования — число циклов «запись-стирание», при которой ЗУ работоспособно.

Кэш-память

Кэш-память использует свойство программного обеспечения, согласно которому в данный момент времени 90 % обращений к физической оперативной памяти производится по ограниченной области адресов.

Уровень кэш-памяти определяется конструктивно с помощью физического расстояния до центрального процессора. Кэш-память разбивается на уровни (1-го, 2-го, 3-го уровня). Кэш 1-го уровня конструктивно ближе всех расположен к ядру процессора и имеет физическую ширину (разрядность), равную разрядности шине данных. Кэш 1-го уровня находится на кристалле процессора и может рассматриваться как регистр большой емкости. Кэш 2-го уровня находится на кристалле процессора и мультиплексирует данные системной шины и кэш-памяти первого уровня. Кэш 3-го уровня, в зависимости от типа микропроцессора, может располагаться на кристалле микропроцессора или на материнской плате. Организация памяти процессора с кэш приведена на рис. 13.

Кэш-память программно недоступна. Для обращения к ней используются аппаратные средства процессора и компьютера по заложенным в них алгоритмам. Обычно содержимое кэш-памяти первого уровня целиком находится в кэш-памяти второго уровня; все содержимое второго уровня является частью содержимого кэш-памяти третьего уровня.

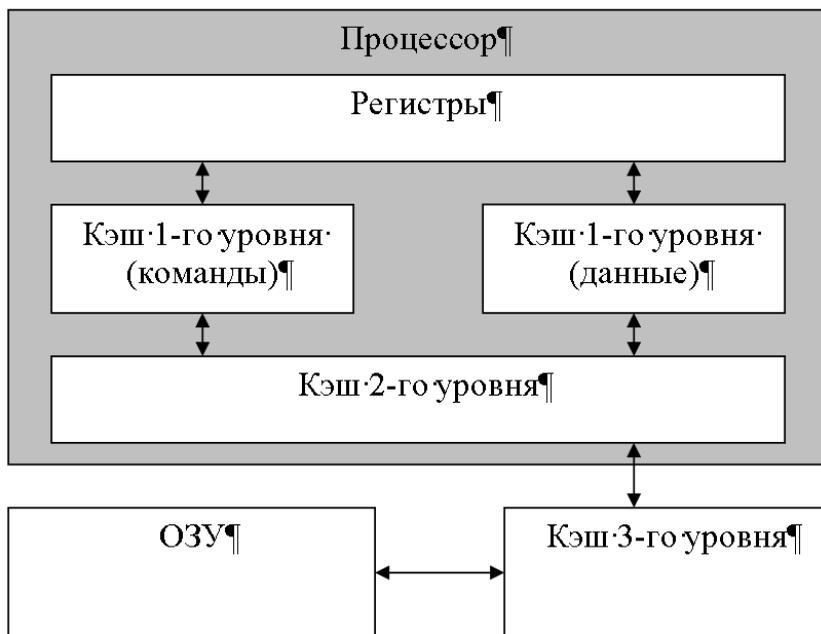


Рис. 13 – Организация памяти процессора с кэш 1-го, 2-го и 3-го уровня

Выделяют два типа кэш памяти:

- кэш-память с запоминанием новой информации одновременно в кэше и оперативной памяти (сквозное запоминание, *write through*). При этом в оперативной памяти всегда есть последняя копия информации, хранящейся в кэше. Однако в этом случае продолжительный по времени цикл доступа к данным в ОЗУ снижает общую производительность вычислительной системы;

- кэш-память с вытеснением (*write back*), когда запоминание результатов обработки данных МПР производится только в кэш-памяти. Результаты копируются в оперативную память только при передаче во внешние устройства или при вытеснении информации из кэша в случае загрузки новых данных или команд.

Существует несколько способов организации кэш-памяти:

- кэш с прямым отображением — каждый сегмент (блок) основной памяти имеет фиксированное место в кэше. В итоге сегменты основной памяти с одинаковыми младшими разрядами хранятся в одинаковых блоках кэша. Этот способ часто используется в современных МП;

- кэш полностью ассоциативный — сегмент (блок) основной памяти может находиться в любом месте кэша;

Аппаратные средства вычислительной техники

— множественно-ассоциативный кэш — сегмент (блок) основной памяти размещается на ограниченном числе мест в кэше, в результате чего создается группа блоков.

ОБЩИЕ ПРИНЦИПЫ ПОСТРОЕНИЯ СОВРЕМЕННЫХ ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ

Структура минимальной вычислительной системы

Вычислительная система — результат интеграции аппаратных и программных средств, функционирующих в единой системе и предназначенных для решения задач определенного класса. В вычислительную систему входит один или несколько процессоров, программное обеспечение и периферийное оборудование.

Структура вычислительной системы состоит из пяти уровней:

- аппаратный уровень;
- уровень управления физическими ресурсами вычислительной системы;
- уровень управления логическими/виртуальными ресурсами вычислительной системы;
- уровень систем программирования;
- уровень прикладных систем.

1. Аппаратный уровень вычислительной системы определяется наборами аппаратных компонентов и их характеристиками, используемыми вышестоящими уровнями.

Структура аппаратного уровня вычислительной системы представлена на рис. 14. Она содержит следующие основные устройства: арифметико-логическое устройство, память, управляющее устройство, устройство ввода данных, устройство вывода из нее результатов расчета.

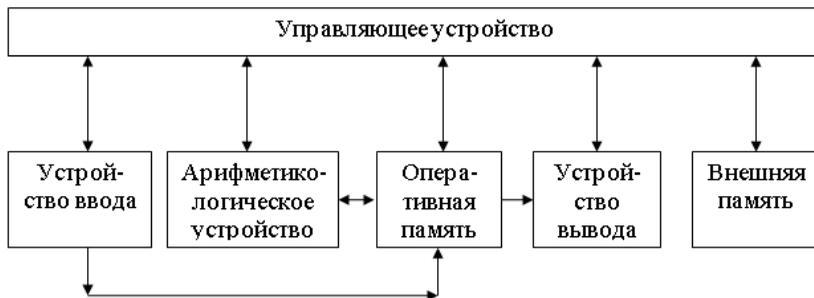


Рис. 14. Структура аппаратного уровня вычислительной системы

Арифметико-логическое устройство (АЛУ) производит арифметические и логические преобразования над поступающими в него машинными словами, т. е. кодами определенной длины, представляющими собой числа или другой вид информации.

Память вычислительной системы в большинстве случаев

Аппаратные средства вычислительной техники

состоит из двух существенно отличающихся по своим характеристикам частей: быстродействующей оперативной памяти (ОП) и сравнительно медленно действующей, но способной хранить значительно больший объем информации внешней памяти (ВНП).

Оперативная память хранит информацию, поступающую в машину из других устройств, и выдает во все другие устройства информацию, необходимую для протекания вычислительного процесса.

Оперативная память содержит некоторое число ячеек, каждая из которых служит для хранения машинного слова или его части. Ячейки нумеруются, номер ячейки называется адресом. Обычно ячейка имеет размер 1 байта.

При считывании слова из ячейки содержимое последней не меняется и при необходимости слово может быть снова взято из той же ячейки. При записи хранившееся в ячейке слово заменяется новым.

Непосредственно в вычислительном процессе участвует только ОП, и лишь после окончания отдельных этапов вычислений из ВНП в ОП передается информация, необходимая для следующего этапа решения задачи.

Управляющее устройство (УУ) в соответствии с программой автоматически управляет вычислительным процессом, посылая другим устройствам вычислительной системы сигналы на выполнение ими требуемых действий. Т.е. УУ по коду команды определяет, какие устройства должны быть задействованы для выполнения этой команды, и посылает этим устройствам сигналы для их активации.

Автоматическое управление процессом решения задачи достигается на основе принципа программного управления, являющегося основной особенностью современных вычислительных систем.

Другим важнейшим принципом является принцип хранимой в памяти программы. Согласно этому принципу команды программы, закодированные в цифровом виде, хранятся в памяти наравне с числами. В команде указываются не сами участвующие в операциях числа, а адреса ячеек ОП, в которых они находятся, и адрес ячейки, куда помещается результат операции.

Поскольку программа хранится в памяти, одни и те же команды могут нужное число раз извлекаться из памяти и выполняться. Более того, поскольку команды представляются в форме чисел, то вычислительная система может их модифицировать.

Команды выполняются в порядке, соответствующем их рас-

положению в последовательных ячейках памяти, кроме команд безусловного и условного переходов. Условные переходы изменяют последовательный порядок выполнения команд при выполнении некоторого условия (например, равенства нулю, положительности или отрицательности результата предыдущей команды).

Устройство ввода считывает в ОП программу и исходные данные, которые должны быть помещены туда перед решением задачи на ЭВМ. Предварительно эта информация обычно заносится во внешнюю память.

Устройство вывода служит для выдачи результатов расчета, например, путем печатания или отображения на экране дисплея.

Представленная на рис. 14 структура аппаратного уровня вычислительной системы, получившая название фоннеймановской, благодаря ее простоте и большой гибкости доминирует при построении различных ЭВМ. В фон-неймановской машине с общей памятью для данных и команд имеется всего одна шина (магистраль) для передачи из памяти в другие устройства команд и данных, что ведет к снижению скорости работы ЭВМ.

Однако в последние годы конструкторы ЭВМ, стремясь достигнуть повышения их производительности, в ряде случаев отходят от модели фон Неймана, которая предполагала архитектуру микропроцессора с общей памятью (рис. 15).

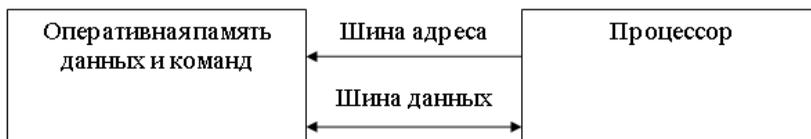


Рис. 15. Архитектура с общей памятью (фон Неймана)

Так, возможно построение машины с отдельными памятью и шинами для хранения и передачи команд и данных, допускающей параллельное во времени извлечение их из памяти и передачу по шинам. Такая архитектура получила название гарвардской, так как была реализована впервые в 1944 году в Гарвардском университете (США) (рис. 16). Достоинством гарвардской архитектуры является применение небольшой по объему памяти данных, что способствует ускорению поиска информации в ней и увеличивает быстродействие МП. Гарвардская архитектура позволяет организовать параллельное выполнение программ: чтение следующей по порядку команды может происходить одновременно с выполнением предыдущей, что также повышает быстродей-

стве МП. Недостатком гарвардской архитектуры является усложнение архитектуры МП. Также необходимо генерировать дополнительные управляющие сигналы для памяти команд и памяти данных.

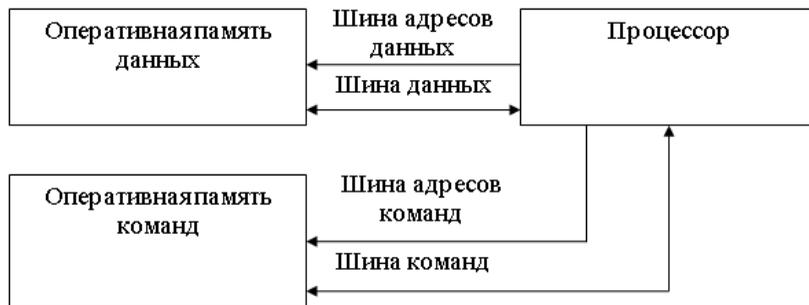


Рис. 16. Гарвардская архитектура с разделяемой памятью

2. Уровень управления физическими ресурсами и уровень управления логическими/виртуальными ресурсами вычислительной системы. Уровень управления физическими ресурсами вычислительной системы является первым уровнем системного программного обеспечения. Его назначение — систематизация и стандартизация правил программного использования физических ресурсов (устройств). На этом уровне обеспечивается создание программ управления физическими ресурсами — драйверов физического ресурса — программ, основанных на использовании команд управления конкретным физическим устройством, и предназначенных для организации работы с данным устройством.

Драйверы бывают трех типов:

- драйверы физических устройств;
- драйверы логических/виртуальных устройств (например, отсутствующей сетевой карты для связи двух виртуальных машин, расположенных на одном физическом компьютере);
- драйверы логических/виртуальных устройств, не имеющих аппаратной реализации (т. е. «полностью» виртуальных, например, драйвер файловой системы).

Логическое/виртуальное устройство (ресурс) — устройство, некоторые эксплуатационные характеристики которого (возможно все) реализованы программным образом.

3. Уровень систем программирования. Система программирования — это комплекс программ, обеспечивающий поддержание жизненного цикла программного обеспечения в вычислительной системе.

4. Уровень прикладных систем. Прикладная система — программная система, ориентированная на решение или автоматизацию решения задач из конкретной предметной области. Примерами могут служить программное обеспечение электронного документооборота, графические редакторы и т. д.

Концепция шины

Для работы вычислительной системы необходимо информационно объединить все ее элементы в единое целое. Элементы вычислительной системы тесно связанные между собой (процессор, память — все кроме периферийных устройств) называются микропроцессорной системой.

Основу конструкции микропроцессорных систем составляют сигнальные шины, которые обычно не используются в устройствах на традиционных логических схемах. Эта особенность связана с тем, что в микропроцессорной системе существует необходимость информационного обмена многочисленных устройств с процессором. При отсутствии шины процессор должен иметь множество выходов по числу устройств и мультиплексор, реализующий выбор конкретного устройства для ввода данных в процессор (рис. 17). Такой способ организации обмена очень быстро приводит к громоздким конструкциям. В самом простом случае по информационным каналам передается одновременно 8 бит информации, так что любой канал должен состоять из восьми проводов (линий). Следовательно, для системы с тремя внешними устройствами потребуется 48 таких линий: 24 — для ввода данных и 24 — для вывода. Более сложная система могла бы десятки устройств, с которыми должен взаимодействовать процессор (запоминающих устройств, портов ввода-вывода и т. д.), что потребовало бы сотни соединительных линий.

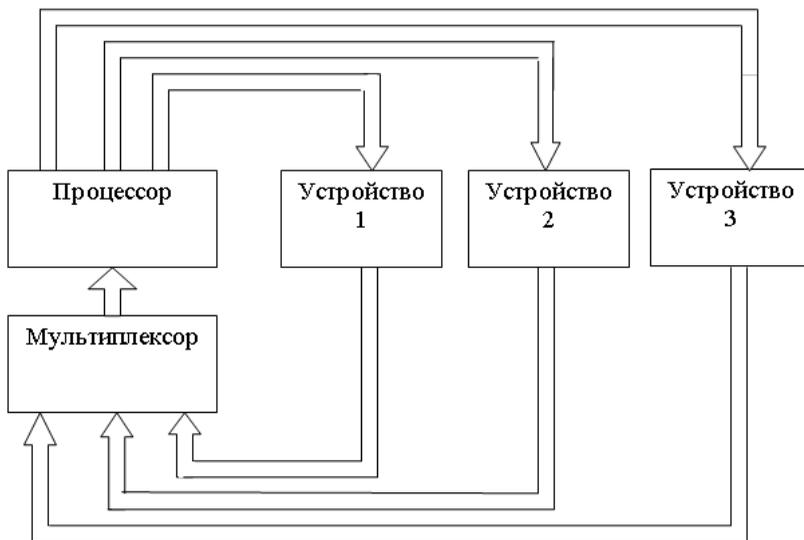


Рис. 17. Схема информационного обмена без использования шины

Ключ к эффективному решению проблемы взаимосвязи устройств дает использование концепции шины, отображенной на рис. 18. При этом упрощаются схемы соединений: теперь единственная группа из восьми соединительных линий используется и для обеспечения взаимосвязи всех устройств, и для пересылки данных к процессору и от процессора, а также позволяет осуществлять обмен между устройствами без участия к процессору. Такую структуру можно непрерывно расширять ценой лишь незначительного усложнения внутренних связей, однако, поскольку все устройства при этом пользуются одними и теми же каналами информационного обмена, вводить или выводить данные в любой момент времени может только одно из них. Для возможности выбора конкретного устройства необходимо кроме шины данных добавить дополнительные шины.



Рис. 18. Схема информационного обмена с использованием шины

Системная шина микропроцессорных систем

Основным узлом, связывающим элементы микропроцессорной системы в единое целое, является системная магистраль или системная шина.

Системная шина микропроцессорной системы реализует концепцию шины и предназначена для обеспечения передачи данных между центральным процессором и остальными электронными компонентами компьютера.

Системная шина включает в себя три многозарядные шины (рис. 19).

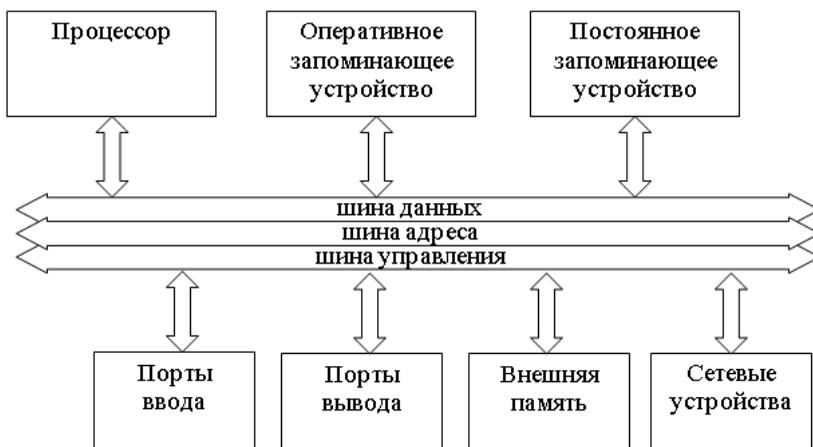


Рис.19. Системная шина

Шина данных предназначена для передачи данных и команд между двумя устройствами, а необходимое управление выбором конкретного устройства или ячейки памяти обеспечивается адресной и управляющей шинами, возбуждение которых регулируется процессором или другим активным устройством.

Аппаратные средства вычислительной техники

Шина данных (ШД) используется для передачи команд и данных между процессором, ОЗУ, ПЗУ, портами (устройствами) ввода-вывода. Шина данных двунаправленная для возможности передачи информации в обоих направлениях. Совместное использование ШД несколькими устройствами обеспечивает шинный формирователь с тремя состояниями: низкий уровень, высокий уровень, отключено (высокоимпедансное состояние).

Обычно шина данных имеет 8, 16, 32 или 64 разряда. Увеличение разрядности шины данных позволяет повысить скорость обмена информацией.

Шина адреса (ША) используется для указания адреса ячейки памяти или устройства ввода/вывода, к которому происходит обращение. Разрядность (количество линий) определяет максимальное количество ячеек памяти, к которым может обращаться процессор (максимальный размер памяти).

Если ША имеет N линий, то количество адресов равно $2N$. Например, 16-разрядная шина адреса обеспечивает 65536 адресов. Разрядность шины адреса может достигать 64. Шина адреса может быть однонаправленной или двунаправленной. Двунаправленная ША позволяет процессору передавать управление другому устройству.

Шина управления (ШУ) используется для передачи сигналов управления устройствам. Например, процессор сообщает ОЗУ включить режим записи или чтения данных. В таблице 1 приведены основные сигналы шины управления МП i8088.

Таблица 1 — Сигналы шины управления МП i8088

Па/Пе	Память / Периферия	В зависимости от уровня сигнала МП обращается к памяти или периферии
Сч/Зп	Считывание / Запись	В зависимости от уровня сигнала МП считывает или записывает информацию в память или внешнее устройство
ЗпШ	Запрос Шины	Запрос к МП на захват шины другим устройством
РзШ	Разрешение Шины	Разрешение на захват шины другим устройством, при этом все информационные входы МП переводятся в высокоимпедансное состояние
Сброс	Сброс	Внешний сигнал, осуществляющий начальный сброс системы. Этот сигнал формируется при включении системы или кнопкой RESET
Готов	Готов	Сигнал, получаемый от периферийных устройств о том, что в следующем такте шины данные будут восприняты или выданы устройством
ГШ	Готовность Шины	Сигнал, показывающий готовность МП к выдаче или приему данных

Аппаратные средства вычислительной техники

Пр/Пе	Прием / Передача	Сигнал, указывающий периферийным устройствам, передавать или принимать данные
НЦШ	Начальный Цикл Шины	Сигнал, показывающий наличие адреса на шине адреса
Б/С	Байт / Сло- во	Признак размера передаваемых данных

СПИСОК ЛИТЕРАТУРЫ

1. Айдинян А.Р. Аппаратные средства вычислительной техники: учебник. — М., Берлин: Директ-Медиа, 2016 — Режим доступа: <http://biblioclub.ru>.
2. Новиков Ю.В., Скоробогатов П.К. Основы микропроцессорной техники: учебное пособие. — М.: ИНТУИТ: Бином, 2012.